

基于 FPGA 的 DDS IP 核的研究与设计

万志江

(北京工业大学 软件学院嵌入式软件与系统研究所, 北京 100124)

摘 要: 针对传统的用单片机和 DDS 芯片设计高频信号发生器的方法具有的硬件结构复杂、人机交互性差和低可移植性等问题,提出了一种实现高频信号发生器功能的直接数字频率合成器(DDS)IP 软核的设计方法。本设计首先通过加权的方法实现十进制向二进制的转换,提高 IP 核的人机交互性,并引入 streamlined 算法在 FPGA 上实现频率控制字产生单元,解决传统设计中硬件结构复杂的问题。然后,在 ISE 设计平台上采用 Verilog HDL 硬件描述语言进行 DDS 行为描述,连接频率控制字产生单元,实现一个可重载的 DDS IP 软核。最后,在 XILINX SEED XDTK V5 实验平台上对 IP 核进行板级验证。验证结果表明,此 IP 核具有良好的人机交互性和可移植性,能够很好的满足实际应用。

关键词: DDS IP 核;streamlined;快速进位链;人机交互

中图分类号: TP391

文献标识码: A

文章编号: 1000-7180(2013)08-0098-05

Research on DDS IP Core Based on FPGA

WAN Zhi-jiang

(Embedded Software and Systems Research Institute of Software
College, Beijing University of Technology, Beijing 100124, China)

Abstract: According to the complexity of hardware structure, the poor human-computer interaction and low portability in designing a high frequency signal generator by MCU and DDS chip, a direct digital frequency synthesis (DDS) IP soft-core which has a function of high-frequency signal generator is designed. In order to improve the human-computer interaction, we convert decimal to binary by the method of weighted, and use streamlined algorithm to create the frequency control word so that we can solve the complexity of hardware structure in the traditional way. Meanwhile, Verilog HDL hardware description language is applied to realize the DDS behavior description and achieve an overloaded DDS IP core on the ISE platform. At last, the board-level verification of the IP core is developed on the XILINX SEED XDTK V5 platform. It is demonstrated experimentally that the IP core can satisfy the practical application with a good human-computer interaction and high portability.

Key words: DDS IP core; streamlined; fast carry chain; human-computer interaction

1 引言

近年来,随着可编程逻辑器件 FPGA 的不断发展,直接频率合成 DDS 技术应用的愈加成熟,利用 DDS 原理在 FPGA 平台上开发高性能的高频信号发生器^[1],与基于 DDS 芯片的信号发生器^[2]相比,成本更低,操作更加灵活,而且还能根据要求在线更新配置,系统开发趋于软件化、自定义化。例如 XILINX 公司已经拥有自主产权的 DDS IP 核。但

是,在 FPGA 平台上开发的高频信号发生器和基于 DDS 芯片的信号发生器一样,都需要上位机(例如单片机)^[3-5]根据目标频率和系统时钟频率来计算并产生频率控制字,将频率控制字传给直接频率合成器,产生高频信号。显然,这种设计方法设计的高频信号发生器具有硬件结构复杂、人机交互性差和可移植性差等缺点。

为克服上述缺陷,文献[6]提出一种以 FPGA 为核心,功能可裁剪、波形任意调整的高性能信号发

生器,采用该方法可以降低开发成本,提高设计效率,有效地解决传统设计中硬件结构复杂的问题;文献[7]中提出一种采用 VHDL 语言进行 DDS 行为描述,实现一个可重载的 DDS IP 核,从而实现了高频信号发生器在不同 FPGA 平台上的可移植性问题。

然而,上述文献在 FPGA 上实现 DDS 行为的高频信号发生器都不具有良好的人机交互性,即用户不是通过改变 FPGA 平台上人机接口(例如按钮和开关)的电平状态改变频率控制字,从而得到不同频率的高频信号。针对这一问题,本文提出一种能实现高频信号发生器功能的直接数字频率合成器(DDS)IP 软核的设计方法,该方法的基本思想是:首先通过加权的方法实现十进制向二进制的转换,提高 IP 核的人机交互性,并引入 streamlined 算法在 FPGA 上实现一个 32 位的高效除法器^[8],代替单片机等控制单元产生频率控制字。然后,在 ISE 设计平台上采用 Verilog HDL 硬件描述语言进行 DDS 行为描述,连接频率控制字产生单元,实现一个可重载的 DDS IP 核。最后,在 XILINX SEED XDTK V5 实验平台上对 IP 核进行板级验证。

2 直接数字频率合成器基本原理

基本的 DDS 原理图如图 1 所示。

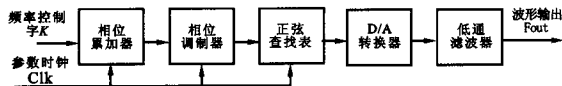


图 1 DDS 原理图

基本的 DDS 结构主要由相位累加器、相位调制器、正弦 ROM 查找表、D/A 转换器和低通滤波器组成。其中,相位累加器、相位调制器、正弦 ROM 查找表是 DDS 结构中的数字部分,具有数控频率合成的功能。DDS 输出频率的计算公式为

$$F_{\text{out}} = \frac{K}{2^N} \text{Clk} \quad (1)$$

DDS 的频率输入字的计算公式如下所示:

$$K = \frac{F_{\text{out}}}{\text{Clk}} 2^N \quad (2)$$

相位累加器是整个 DDS 的核心,完成相位累加功能。相位累加器的输入是相位增量,即频率控制字 K 。由式(1)可得输出频率 F_{out} 与频率控制字 K 是简单的线性关系。频率字输入时还要经过一组同步寄存器,使得当频率字改变时不会干扰相位累加器的正常工作。

相位调制器接收相位累加器的相位输出,在这

里加上一个相位偏移值,主要用于信号的相位调制,如 PSK (相移键控)等。在不使用时可以去掉该部分,或者加一个固定的相位字输入。相位字输入也需要用同步寄存器保持同步。需要注意的是,相位字输入的数据宽度 T 与频率字输入 N 往往是不相等的。

正弦 ROM 查找表完成的查表转换,也可以理解成相位到幅度的转换,它的输入是相位调制器的输出;正弦 ROM 查找表的输出送往 D/A,转化成模拟信号。由于相位调制器的输出数据位宽 M 也是 ROM 的地址位宽,因此在实际的 DDS 结构中 N 往往很大,而 M 总为 10 位左右。 M 太大会导致 ROM 容量的成倍上升,而输出精度受 D/A 位数的限制未有很大改善。因此,在实际应用中,对于 ROM 容量的缩小,人们提出了很多解决方法。在本设计中,为缩小 ROM 容量,采用相位调制器控制正弦 ROM 查找表的方法,将 ROM 查找表中的波形数据进行输出。

3 IP 核设计

本设计采用自顶向下的模块设计思想,利用 Verilog HDL 硬件描述语言实现整个 IP 核的设计,这样不仅利于设计文档的管理,而且方便了设计的修改和扩充,还可以实现在不同 FPGA 器件之间的移植。该 IP 核由频率控制字产生模块、相位累加器模块、相位调制和波形存储模块组成,整体的功能框图如图 2 所示。

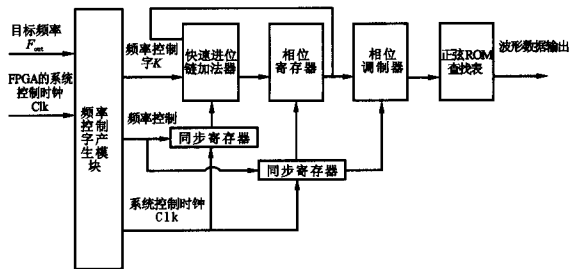


图 2 IP 核整体的功能框图

3.1 频率控制字产生模块

频率控制字产生模块由人机交互单元和基于 streamlined 算法的频率控制字产生单元组成,人机交互单元将用户输入的十进制数据转化成二进制数,将二进制数送到基于 streamlined 算法的频率控制字产生单元进行处理,产生频率控制字。

3.1.1 人机交互单元

通过对上述 DDS 原理进行分析,频率控制字 K 和输出频率之间的对应关系如式(2)所示。该式用除法运算来计算频率控制字 K ,所以,如何在 FPGA

上实现一个高效的除法器是本次 IP 核设计的关键。然而,在 Verilog HDL 中,有加、减、乘、除的算法指令,但除法必须是 2 的幂,因此无法实现除法为任意数的除法。并且,在 FPGA 上只能进行二进制运算,而式(2)中的运算数据都是十进制数。所以,用户在输入用十进制数表示的 F_{out} 和 Clk 后,IP 核首先把 F_{out} 和 Clk 进行十进制数向二进制数的转换,转换原理如图 3 所示。原理描述如下:

(1) IP 核数据输入 F_{out} 和 Clk 各占 5 位位宽,分别为百位、十位、个位、M 位和 K 位。其中, M 和 K 分别表示目标频率的单位;

(2) 用三个模 10 计数器分别对百位、十位、个位上来的脉冲信号进行计数;

(3) IP 核中有 5 个权值寄存器,分别存储着 10^6 、 10^3 、100、10 和 1 的二进制数,将三个计数结果分别和 100、10 和 1 的权值寄存器相乘后相加;

将相加后得到的结果再和 10^6 或 10^3 的权值寄存器相乘,得到目标频率的二进制数。

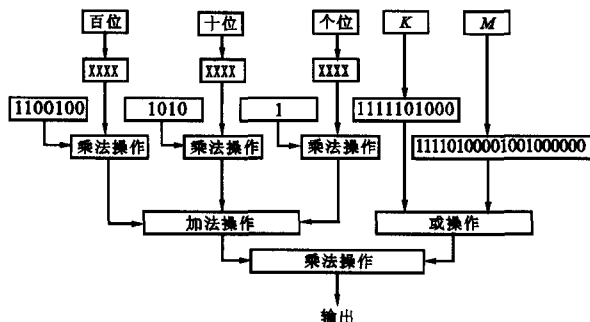


图 3 人机交互单元中十进制转二进制原理图

3.1.2 基于 streamlined 算法的频率控制字产生单元

本设计采用 streamlined 算法实现了一个 32 位的循环除法器。根据式(2)的特点,在 IP 核中定义一个寄存器存储 $2^{31}-1$ 的二进制数,将此二进制数作为循环除法器的被除数。循环除法器的原理公式如下所示:

$$A - B * 2^M = R * 2 \quad (3)$$

式中, A 为被除数, B 为除数, R 为余数。在此公式的基础上添加两个约束:

(1) 如果 $A < B * 2^M$, 则 R 不变而且倍增, 以示下一次运算用, 商为 1。

(2) 如果 $A > B * 2^M$, 则 R 等于结果并且倍增, 以示下一次运算用, 商为 0。

考虑到 $A < B * 2^M$, M 值应该足够大, 假如 A 、 B 两数的位宽为 Width, 要满足约束 $A < B * 2^M$ 则 M 的取值为 $Width-1$ 最佳。假设除数 B 与被除数 A 的位宽均为 32 位, 即 Width 为 32。那么操作空间

Temp 就是 $2 * Width$ 。Temp[Width-1:0] 是用来填充被除数, Temp[Width * 2-1: Width-1] 是用来与除数进行递减操作。同时定义一个位宽为 $2 * Width$ 的 Diff 寄存器, 用于存放 Temp[Width * 2-1: Width-1] 和除数 B 的递减操作结果。

本文利用状态机思想来实现 streamlined 算法, 其状态转移图如图 4 所示。算法说明如下:

(1) idle 状态: 频率控制字产生模块等待加载信号, 加载信号使能以后将被除数 A 和除数 B 加载到模块中, 进入 init 状态;

(2) init 状态: 初始化 Temp、Diff 和 i 寄存器, 在 Temp[Width-1:0] 填入被除数 A , 然后进行 Temp[Width * 2-1: Width-1] - B 操作, 将结果存在 Diff 空间, i 用于计算 Temp[Width * 2-1: Width-1] - B 操作的次数, 进入 test 状态;

(3) test 状态: 判断 Diff 最高位是否为 1, 如果为 1 则进入 update1 状态, 否则进入 update2 状态, 同时判断 i 是否等于 32, 如果是则进入 stop 状态, 表示运算完成;

(4) update1 状态: Temp 空间左移一位补 0;

(5) update2 状态: Temp 空间被赋予 Diff 空间的值, 并且左移一位补 1;

(6) stop 状态: Temp[Width-1:0] 是商数, Temp[Width * 2-1: Width-1] 是余数, 将 Temp[Width-1:0] 输出;

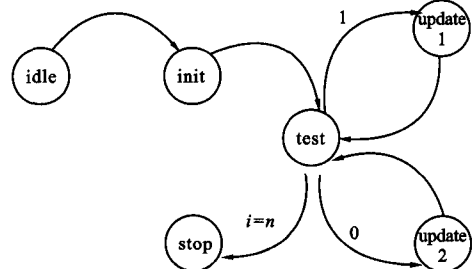


图 4 streamlined 算法状态转移图

3.2 相位累加器功能模块

DDS 电路中相位累加器是决定 DDS 性能的一个关键部分, 要从 FPGA 的内部结构出发, 设计出即节约资源, 又能大幅度提高系统速度和性能的累加器结构。本设计中采用文献[9]中介绍的快速进位链加法器来构成相位累加器。快速进位链由二路选择器与异或门组成的基本单元串接构成。本设计中的 32 位快速进位链加法器如图 5 所示。其中, x 、 y 分别是频率控制字和 32 位寄存器的累加结果, G-P 单元计算生成和传输函数。公式如下:

$$g(i) = \begin{cases} 1, & \text{如果 } x(i) + y(i) > B-1 \\ 0, & \text{其余} \end{cases} \quad (4)$$

$$p(i) = \begin{cases} 1, & \text{如果 } x(i) + y(i) = B-1 \\ 0, & \text{其余} \end{cases} \quad (5)$$

进位链单元计算下一个进位输出,计算公式为

$$q(i+1) = \begin{cases} q(i), & \text{如果 } p(i) = 1 \\ g(i), & \text{其余} \end{cases} \quad (6)$$

模 B 和单元则计算:

$$z(i) = (x(i) + y(i) + q(i)) \bmod B \quad (7)$$

本设计中令 $B=2$, G-P 单元实现 x 、 y 的异或操作,即 $p(i) = x(i) \oplus y(i)$,进位链单元则是根据 $p(i)$ 的值来判断 $p(i+1)$ 的值是 $g(i)$ 还是 $q(i)$ 。

在每个系统时钟沿 Clk 的控制下,32 位快速进位链加法器将频率控制字 x 与 32 位相位寄存器输出的相位数据 y 相加,把相加后的结果再送至相位寄存器,相位寄存器中新的相位数据反馈到加法器的输入端,以使加法器在下一 Clk 时钟周期中继续与频率控制字 x 相加,最后输出累加寄存器的高 10 位数值,将作为查找 ROM 表中取样数据的地址值。

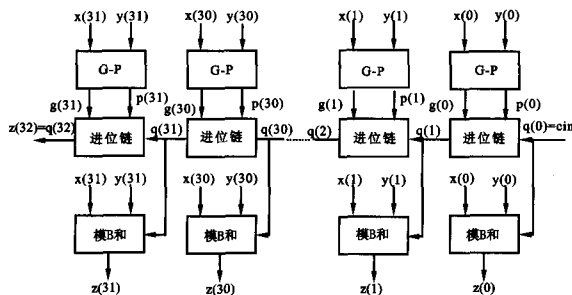


图 5 快速进位链加法器

3.3 相位调制和波形存储模块

在 FPGA 中实现 ROM 表的资源是有限的,并且 ROM 表的大小随着地址位数和数据位数的增加成指数递增关系,因此在满足采样信号性能的前提下,如何减小资源开销是一个重要的问题。文献[10]提出了一种利用正弦信号的对称性和算术关系来减少 ROM 表资源开销的方法,即通过一个正弦表的前 1/4 周期和相位变换得到整个波形周期的采样值。相位调制模块实现相位变换功能,本设计中的相位累加器位数为 32 位。为了节省 ROM 的容量,采用相位截断的方法,取相位累加器输出的高 10 位作为 ROM 的寻址地址,即 ROM 有 2^{10} 个寻址地址。将相位累加器的数据输入到相位调制器,相位调制器的数据输出为 12 位,多出的两位用来对相位进行调节。

相位调制器最高两位与输出波形的相位对应关

系如表 1 所示。根据正弦波信号的对称性,可以在 ROM 中存储第一象限的幅度值,对第一象限的幅度值进行取反或者倒序等处理就可以得到整个周期的波形。

表 1 相位调制器最高两位与正弦波形所在象限的关系

最高位	次高位	处理方法	正弦波象限
0	0	直接输出	第一象限
0	1	地址值倒序	第二象限
1	0	幅度值取反	第三象限
1	1	地址值倒序,幅度值取反	第四象限

4 测试结果

本次设计对各个模块分别进行调试,然后再进行综合配置。本文以 XILINX 公司的 FPGA 设计软件 ISE 12.4 作为设计工具,以硬件描述语言 Verilog HDL 作为设计输入工具进行 DDS IP 核的设计。最终在 XILINX SEED XDTK V5 实验平台上对 IP 核进行板级验证。

4.1 频率控制字产生模块仿真与分析

本设计中的系统参考时钟为 50 MHz,相位累加器的位数为 32,目标频率为 400 kHz,参照公式(2)可得

$$K = \frac{400\,000}{50\,000\,000} 2^{32} \quad (8)$$

简化为

$$K = \frac{8}{500} 2^{31} \quad (9)$$

所以,在频率控制字产生模块中,dividend[31:0] = 32'd2147483647, divisor[31:0] = 32'd500。用 ISE 平台上的 Isim 仿真软件对 streamlined 除法器进行仿真,仿真结果如图 6 所示。

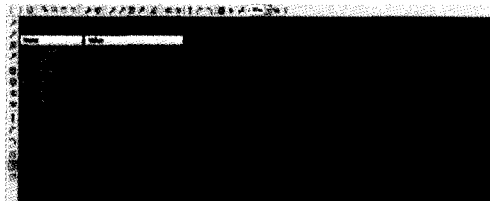


图 6 频率控制字产生模块仿真结果

quotient[31:0] = 32'b00000010000011000100100110111000, 换算成十进制数为 34 359 736, 与实际上的结果 34 359 738.368 相差 2.368, 说明频率控制字产生模块运算结果。

4.2 实验波形观测与误差分析

该 IP 核在 ISE 中进行综合后,引脚分配工作将在 ISE 上针对 XILINX SEED XDTK V5 FPGA 开

发平台进行,用户通过该平台上的 4×4 键盘进行系统输入,通过 GPIO 口进行输出.布线成功后,将生成的 bit 文件下载到 XILINX SEED XDTK V5 FPGA 开发平台上,并连接 D/A 转换器和低通滤波器.本设计中的目标频率是 400 kHz 的高频信号,用示波器观测实验波形如图 7 所示.测试过程中,波形形状良好,未出现明显失真.由于滤波整形电路存在高频耦合通路,产生线间串扰,对滤波效果形成了不利影响,因此滤波器设计必须满足频带宽,截止特性好和抗干扰特性强等特性.

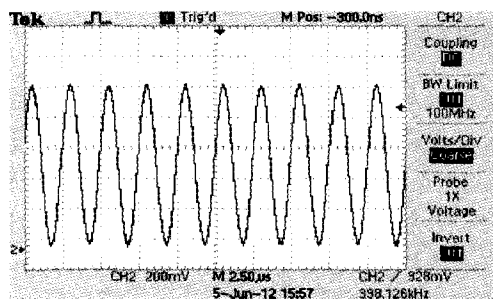


图 7 示波器观测的实验波形

5 结束语

本文从方便用户使用,提高人机交互性方面出发,旨在建立一种用户能随意更改目标频率,能在不同的 FPGA 平台上实现基于 DDS 技术的高频信号发生器的 IP 核设计方法.本文首先深入剖析了以直接数字频率合成技术(DDS)为基础的波形信号发生器工作原理和设计过程,然后在 XILINX SEED XDTK V5 FPGA 实验平台上对此 IP 核进行验证.系统硬件除需外加滤波整形电路外,其余部分均可在 FPGA 实验平台上集成开发,系统软件可在 ISE 下编写,实现数据信息处理和控制操作等功能.

但是,该设计方法还存在缺陷.例如由于 streamlined 除法器只能进行整数除法运算,并且运算结果的准确性受到除数的大小的影响,只能很好地实现以 M 为单位的高频信号.

参考文献:

- [1] 沈志,王宏远.无相位截断误差的 DDS 设计实现[J]. 微电子学与计算机,2011,28(3):70-72.
- [2] 施羽暇,吕威,李一晨.基于 DDS 技术的正弦信号发生器设计[J]. 信息技术,2007,31(1):14-16.
- [3] 魏东梅.基于 FPGA 的 DDS 设计[J]. 计算机技术与发展,2006(16):29-31.
- [4] 梁观平,刘胜,甘志银,等.基于 FPGA 实现专用 DDS 电路的研究[J]. 计算机与数字工程,2007,38(6):73-75.
- [5] 雷立云.基于 FPGA 的 DDS 研究与设计[J]. 计算机与数字工程,2008,36(8):174-176.
- [6] 高士友,胡学深,杜兴莉,等.基于 FPGA 的 DDS 信号发生器设计[J]. 现代电子技术,2009,32(16):35-37.
- [7] 张浪. DDS IP 核设计及其在信号发生器中的应用[J]. 信息化研究,2010,36(10):46-48.
- [8] 周殿凤,王俊华.基于 FPGA 的 32 位除法器设计[J]. 信息化研究,2010,36(3):26-28.
- [9] 刘福奇,刘波. Verilog HDL 应用程序设计实例精讲[M]. 北京:电子工业出版社,2009.
- [10] 董国伟,李秋明,赵强,等.基于 FPGA 的直接数字频率合成器的设计[J]. 仪器仪表学报,2006,27(6):877-879.

作者简介:

万志江 男,(1989-),硕士研究生.研究方向为嵌入式系统设计和计算机体系结构.

(上接第 97 页)

- [9] Fang M, Chevrier J B, Drevilion B. In situ investigation of the growth of microcrystalline silicon obtained by alternating deposition and hydrogen-etching sequences[J]. Journal of Non-Crystalline Solids, 1991(2):137-138.
- [10] Veprk S, Sarott F A, Iqbal Z. Effect of grain boundaries on the raman spectra, optical absorption, and elastic light scattering in nanometer-sized crystalline silicon[J]. Physical Review B, 1987, 36(6):3344-3350.
- [11] Paillard V, Puech P, Cabarrocas P R. Measurement of

stress gradients in hydrogenated microcrystalline silicon thin film using Raman spectroscopy[J]. Journal of Non-Crystalline Solids, 2002(2):299-302.

作者简介:

陈阳洋 男,(1985-),硕士.研究方向为硅基太阳能电池.
曾祥斌 男,(1962-),教授.研究方向为太阳能电池、纳米材料与器件、新型显示技术等.